

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Application of : Hitoshi YAMAMOTO  
Serial No. : Not Yet Known  
Date Filed : Herewith  
For : SEMICONDUCTOR DEVICE AND DIFFERENT LEVELS OF  
SIGNAL PROCESSING SYSTEMS USING THE SAME

Cooper & Dunham LLP  
1185 Avenue of the Americas  
New York, New York 10036  
(212) 278-0400  
September 5, 2003

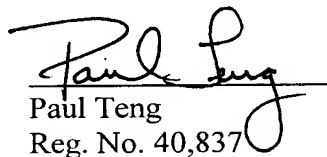
Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**CLAIM FOR PRIORITY UNDER 35 U.S.C. § 119**

Sir:

Applicant submits herewith a certified copy of priority application No. JP 2002-261311, filed September 6, 2002, and hereby claim priority under 35 U.S.C. § 119.

Respectfully submitted,

  
Paul Teng  
Reg. No. 40,837

Encl.

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年   9 月   6 日  
Date of Application:

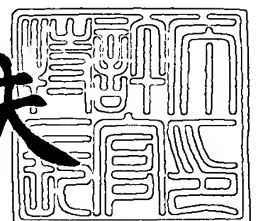
出 願 番 号            特 願 2 0 0 2 - 2 6 1 3 1 1  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 2 6 1 3 1 1 ]

出   願   人            株式会社リコー  
Applicant(s):

2 0 0 3 年   8 月   4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 185299

【提出日】 平成14年 9月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/4093

【発明の名称】 半導体装置及び当該半導体装置を用いた異なるレベルの  
信号の処理システム

【請求項の数】 3

【発明者】

    【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

    【氏名】 山本 斉

【特許出願人】

    【識別番号】 000006747

    【住所又は居所】 東京都大田区中馬込1丁目3番6号

    【氏名又は名称】 株式会社リコー

【代理人】

    【識別番号】 100062144

    【弁理士】

    【氏名又は名称】 青山 葆

【選任した代理人】

    【識別番号】 100086405

    【弁理士】

    【氏名又は名称】 河宮 治

【手数料の表示】

    【予納台帳番号】 013262

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び当該半導体装置を用いた異なるレベルの信号の処理システム

【特許請求の範囲】

【請求項 1】 複数の半導体チップを 1 つにパッケージした半導体装置であって、少なくとも、

第 1 レベルの信号を出力する複数の第 1 ボンディングパッドを備える第 1 の半導体チップと、

上記複数の第 1 ボンディングパッドの内の一部の第 1 ボンディングパッドに電氣的に接続される第 2 ボンディングパッド、及び、上記一部の第 1 ボンディングパッドから上記第 2 ボンディングパッドに出力される信号のレベルを第 1 レベルとは異なる第 2 レベルに変更して出力する第 3 ボンディングパッドを備える第 2 の半導体チップとを含むことを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、

第 2 の半導体チップは、第 1 の半導体チップの上記一部の第 1 ボンディングパッドから出力される信号を第 1 レベルよりも大きな第 2 レベルに変換して出力する半導体装置。

【請求項 3】 請求項 1 又は請求項 2 に記載の半導体装置を実装する第 1 の装置と、上記第 1 の装置に取り付けられ、上記第 2 の半導体チップにより第 2 レベルの信号に変換された上記第 1 の半導体チップの出力したデータ信号を受け取る第 2 の装置とで構成されることを特徴とする異なるレベルの信号の処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、異なるレベルの信号の入出力に対応する半導体装置、及び、当該半導体装置を用いた異なるレベルの信号の処理システムに関する。

【0002】

【従来の技術】

半導体装置が内包するチップの入出力信号のレベルは、通常、チップのデザインルールが小さくなるに従い低くなる。例えば、 $0.5\mu\text{m}$ 以上のプロセスで製造されるチップの場合、入出力信号のレベルは $5\text{V}$ 以上のことが多い。これに対し、 $0.35\mu\text{m}$ 以下のプロセスで製造されるチップでは、入出力信号のレベルは $3.3\text{V}$ 以下に設定される。なお、 $0.35\mu\text{m}$ プロセスで製造されるチップの中には、周知のトレラント技術を用いて $3.3\text{V}$ レベルの信号だけでなく、 $5\text{V}$ レベルの信号の入力に対しても正常に動作可能なものもある。

#### 【0003】

##### 【発明が解決しようとする課題】

以下、異なる信号レベルを処理するシステムの一例として、スマートカード及びスマートカード用のリーダ／ライタ装置で成るシステムについて考える。使用时、スマートカード用のリーダ／ライタ装置は、スマートカードに対してクロック信号CLK、及び、リセット信号RSTを送る他、データ信号Dの入出力を行う。

#### 【0004】

スマートカード用のリーダ／ライタ装置が用いる半導体装置のチップは、規格に制限されるスマートカード本体に内蔵する半導体チップに比べ、プロセスの微細化、即ち低電源電圧化が進んでいる。具体的には、スマートカード本体に内蔵する半導体チップが $0.5\mu\text{m}$ プロセスで製造され、 $5\text{V}$ で駆動されるのに対し、スマートカード用のリーダ／ライタ装置が用いる半導体チップは、 $0.35\mu\text{m}$ 以下、例えば、 $0.25\mu\text{m}$ のプロセスで製造され、 $3.3\text{V}$ 以下で駆動する。

#### 【0005】

$3.3\text{V}$ レベルの信号で動く上記リーダ／ライタ装置が用いる半導体装置のチップに周知のトレラント技術を適用すれば、 $5\text{V}$ レベルの信号を入力可能にすることができるが、チップの出力する信号のレベルを $3.3\text{V}$ から $5\text{V}$ に引き上げることは、チップの構造を複雑にし、チップサイズの大型化及びコスト高を招来する。また、 $0.35\mu\text{m}$ プロセスで製造し、 $3.3\text{V}$ の低電圧で駆動される低消費電力型のチップを $5\text{V}$ で駆動するチップとして機能させることは、性能的に

も無駄が多い。

#### 【0 0 0 6】

上記の問題は、上記リーダ／ライタの基板が 3 . 3 V レベルの信号で駆動しており、上記半導体装置の一部のピンだけを 5 V の駆動系、本例の場合、5 V レベルの信号を入出力するスマートカードに対応させる場合に顕在化する。

#### 【0 0 0 7】

そこで、本発明は、特に、低いレベルの入出力信号を使用するチップの特性（低消費電力型であることや小型であるといった特性）を無駄にすることなく、異なるレベルの信号の入出力に対応し得る構造の半導体装置を提供すると共に、当該半導体装置を用いた異なるレベルの信号の処理システムを提供することを目的とする。

#### 【0 0 0 8】

##### 【課題を解決するための手段】

本発明の第 1 の半導体装置は、複数の半導体チップを 1 つにパッケージした半導体装置であって、少なくとも、第 1 レベルの信号を出力する複数の第 1 ボンディングパッドを備える第 1 の半導体チップと、上記複数の第 1 ボンディングパッドの内の一部の第 1 ボンディングパッドに電氣的に接続される第 2 ボンディングパッド、及び、上記一部の第 1 ボンディングパッドから上記第 2 ボンディングパッドに出力される信号のレベルを第 1 レベルとは異なる第 2 レベルに変更して出力する第 3 ボンディングパッドを備える第 2 の半導体チップとを含むことを特徴とする。

#### 【0 0 0 9】

本発明の第 2 の半導体装置は、上記第 1 の半導体装置において、第 2 の半導体チップは、第 1 の半導体チップの上記一部の第 1 ボンディングパッドから出力される信号を第 1 レベルよりも大きな第 2 レベルに変換して出力することを特徴とする。

#### 【0 0 1 0】

本発明の異なるレベルの信号の処理システムは、第 1 又は第 2 の半導体装置を実装した第 1 の装置と、上記第 1 の装置に取り付けられ、上記第 1 の半導体チッ

プの出力したデータ信号を、上記第 2 の半導体チップにより第 2 レベルの信号に変換して受け取る第 2 の装置とで構成されることを特徴とする。

#### 【 0 0 1 1 】

##### 【発明の実施の形態】

以下、異なるレベルの信号を処理するシステムの一例として、スマートカード及びスマートカード用のリーダ／ライタ装置で成るシステムであって本発明の実施の形態にかかる半導体装置を備えるシステムについて説明する。

#### 【 0 0 1 2 】

図 1 は、スマートカード用のリーダ／ライタ装置 1 5 0 にスマートカード 2 0 0 を接続した状態を示す図である。スマートカード 2 0 0 へのデータの書き込み、又は、スマートカード 2 0 0 からのデータの読み出しを行う場合、本発明の実施の形態に係る半導体装置であるリーダ／ライタ・コントローラ 1 0 0 は、電源スイッチ 1 1 0 にオン制御信号を送り、スマートカード 2 0 0 及び後に説明するように当該コントローラ 1 0 0 に内蔵する I C 2 （図 2 を参照）への 5 V 電源の供給を行う。この後、リーダ／ライタ・コントローラ 1 0 0 は、スマートカード 2 0 0 にクロック信号 C L K を送り、データ信号 D のやり取りを行う。また、リーダ／ライタ・コントローラ 1 0 0 は、必要に応じてリセット信号 R S T を出力する。なお、特に図示しないが、スマートカード 2 0 0 の接地端子は、リーダ／ライタ装置 1 5 0 の接地端子に接続される。

#### 【 0 0 1 3 】

図 2 は、リーダ／ライタ装置 1 5 0 の備えるリーダ／ライタ・コントローラ 1 0 0 の内部構成を示す図である。リーダ／ライタ・コントローラ 1 0 0 は、4 0 個のリードピンを持つ Q F P （Quadrate Flat Package の略）であり、2 つの半導体チップ I C 1、I C 2 を内包する。

#### 【 0 0 1 4 】

半導体チップ I C 1 は、0. 2 5  $\mu$  m プロセスにより製造した 3. 3 V 駆動のスマートカード用のリーダ／ライタ・チップであり、第 1 レベルとして 3. 3 V レベルの入出力信号を使用する。半導体チップ I C 1 の備える 4 0 個のボンディングパッド B P 1 ～ B P 4 0 の内、スマートカード 2 0 0 と信号のやり取りを行



う 5 つのボンディングパッド BP14～BP18 を除いたボンディングパッド BP1～BP13, BP19～BP40 は、リーダ／ライタ・コントローラ 100 の周辺に設けられるリードピン P1～P13, P19～P40 にそれぞれワイヤボンディングされる。上記スマートカード用のボンディングパッド BP14～BP18 は、以下に説明する半導体チップ IC2 の対応するボンディングパッド BP61～65 にワイヤボンディングされる。

#### 【0015】

半導体チップ IC1 のボンディングパッド BP14～BP18 の内、少なくとも半導体チップ IC2 の BP63 から 5 V レベルの信号の入力が予定されるボンディングパッド BP16 に接続される内部回路については、5 V トレラントにしておく。これにより、半導体チップ IC1 は、スマートカード 200 からの 5 V レベルの信号入力に対しても正常に動作することができる。

#### 【0016】

半導体チップ IC2 は、0.5  $\mu$ m プロセスにより製造した 5 V 駆動のチップである。半導体チップ IC2 のボンディングパッド BP66～BP70 は、それぞれリーダ／ライタ・コントローラ 100 の周辺に設けられるリードピン P14～P18 にワイヤボンディングされている。半導体チップ IC2 の詳しい構成については後に説明するが、当該半導体チップ IC2 は、半導体チップ IC1 の出力する第 1 レベルである 3.3 V レベルの信号を第 2 レベルである 5 V レベルの信号に変換してスマートカード 200 に出力し、スマートカード 200 から送られてくる 5 V レベルの信号をそのまま 5 V レベルの信号として半導体チップ IC1 に出力する。

#### 【0017】

図 3 は、半導体チップ IC2 の構成を示す図である。後に詳しく説明するが、図 4 の (a) 及び (b) は、図 3 に示す半導体チップ IC2 を構成するバッファ回路 71 及びトリステート回路 78 の具体的な構成を示す図である。

#### 【0018】

ボンディングパッド BP61, BP66 は、共に半導体チップ IC2 の接地端子 GND に接続されている。また、ボンディングパッド BP67 は、当該半導体

チップ IC 2 の内部に 5 V の電源電圧  $V_{CC}$  を供給する電線に接続されている。

#### 【0019】

3 つのボンディングパッド BP 6 2, BP 6 3, BP 6 8 の間には、データ信号 D の I/O インターフェース回路 C が設けられている。ボンディングパッド BP 6 2 は、バッファ回路 7 7 を介してトライステート回路 7 8 のイネーブル端子に接続されると共に、バッファ回路 7 7 及びインバータ 8 0 を介してトライステート回路 7 9 のイネーブル端子に接続される。ボンディングパッド BP 6 3 は、トライステート回路 7 8 の信号出力端子と、バッファ回路 7 5 の信号入力端子に接続されている。ボンディングパッド BP 6 8 は、トライステート回路 7 9 の信号出力端子と、バッファ回路 7 6 の信号入力端子に接続されている。

#### 【0020】

上記構成の I/O インターフェース回路 C では、ボンディングパッド BP 6 2 に Low レベルの制御信号が入力されている場合、ボンディングパッド BP 6 8 からボンディングパッド BP 6 3 に向けてのデータ信号 D の流れが確保される。これによりスマートカード 200 から半導体チップ IC 1 へのデータの読み出しが可能となる。この場合、3.3 V 駆動の半導体チップ IC 1 のボンディングパッド BP 6 3 には、5 V レベルの信号が入力されることになるが、上述したように、当該ボンディングパッド BP 1 6 に接続される内部回路については、5 V トレラントにしてあるため問題は無い。

#### 【0021】

他方、ボンディングパッド BP 6 2 に High レベルの制御信号が入力されている場合、ボンディングパッド BP 6 3 からボンディングパッド BP 6 8 に向けてのデータ信号 D の流れが確保される。これにより、リーダ/ライタ・コントローラ 150 からスマートカード 200 へのデータの書き込みが可能となる。この場合、3.3 V 駆動の半導体チップ IC 1 が出力した 3.3 レベルの信号は、後にバッファ回路 7 1 を例にとり詳しく説明するように、5 V で駆動されるバッファ回路 7 5 を通過することで 5 V レベルの信号に変換される。この結果、スマートカード 200 へは 5 V レベルの信号が出力されることになり、スマートカード 200 側での誤作動は生じない。

## 【0022】

また、ボンディングパッドBP64, BP69の間には、2つのバッファ回路73, 74が図示する向きに設けられている。同様に、ボンディングパッドBP65とBP70の間には、2つのバッファ回路71, 72が図示する向きに設けられている。ボンディングパッドBP64には、半導体チップIC1から3.3Vレベルのクロック信号CLKが印加される。また、ボンディングパッドBP65には、半導体チップIC1から3.3Vレベルのリセット信号RSTが印加される。後にバッファ回路71を例にとり説明するように、3.3Vレベルのクロック信号CLK及びリセット信号RSTは、5Vで駆動されるバッファ回路73及び71を通過する際に5Vレベルの信号に変換されるため、スマートカード200側での誤動作は生じない。

## 【0023】

図4の(a)は、図3に示すバッファ回路71の具体的な構成を示す。他のバッファ回路72, 73, 74, 75, 76, 77もバッファ回路71と同じ構成である。バッファ回路71は、それぞれ5V電源VCCにより駆動される2つの同じ構成のインバータ回路INV1, INV2を直列に接続したものである。インバータ回路INV1は、ゲートのしきい値 $V_{TH}$ が0~1V程度のPチャンネル型MOSトランジスタ71aとゲートのしきい値 $V_{TH}$ が3.3V以下、例えば、2.5VのNチャンネルMOSトランジスタ71bで構成される。同様に、インバータ回路INV2は、ゲートのしきい値 $V_{TH}$ が0~1V程度のPチャンネル型MOSトランジスタ71cとゲートのしきい値 $V_{TH}$ が3.3V以下、例えば、2.5VのNチャンネルMOSトランジスタ71dで構成される。当該構成を採用することで、入力信号のHighレベルが3.3Vの場合に出力信号のHighレベルを5Vに修正することができる。

## 【0024】

図4の(b)は、図3に示すトライステート回路78の具体的な構成を示す。もう一つのトライステート回路79もトライステート回路78と同じ構成である。当該トライステート回路78は、Lowレベルのイネーブル信号eの入力に応じてCMOSインバータとして機能し、イネーブル信号eがHighレベルに切

り換った時にはCMOSインバータを構成する2つのトランジスタを両方ともオフに切り換えて動作を停止させる。

#### 【0025】

以下、トライステート回路78の詳しい構成について説明する。NANDゲート78bの2つの信号入力端子には、当該トライステート回路78に入力される信号と、インバータ78aにより反転したイネーブル信号eが入力される。NANDゲート78aの出力は、ゲートのしきい値電圧 $V_{TH}$ が1V程度のPチャンネル型MOSトランジスタ78dのゲートに出力される。NORゲート78cの出力は、ゲートのしきい値電圧 $V_{TH}$ が2.5VのNチャンネル型MOSトランジスタ78eのゲートに出力される。図示するように、Pチャンネル型MOSトランジスタ78dとNチャンネル型MOSトランジスタ78eとでCMOSインバータが構成される。上記構成において、Lowレベルのイネーブル信号eが入力された場合、入力信号は、NANDゲート78b及びNORゲート78eにおいて反転された後、2つのトランジスタ78d及び78eで構成されるCMOSインバータにおいて再び反転され、元の状態に戻された後に出力される。また、Highレベルのイネーブル信号eが入力された場合、NANDゲート78bは、入力信号のレベルによらず、Highレベルの信号を出力してPチャンネル型MOSトランジスタ78dをオフにし、NORゲート78eは、入力信号のレベルによらず、Lowレベルの信号を出力してNチャンネル型MOSトランジスタ78eをオフにする。

#### 【0026】

以上に説明したように、リーダ／ライタ・コントローラ100では、0.35 $\mu$ mプロセスで製造した3.3V駆動の低消費電力型の半導体チップIC1から出力する信号の内、0.5 $\mu$ mプロセスで製造した5V駆動のスマートカード200に出力する信号だけを半導体チップIC2を用いて5Vレベルの信号に変換して出力する構成を採用する。当該構成を採用することで、別に信号レベルの変換装置を無用にしてリーダ／ライタ装置150及び当該装置150とスマートカード200で構成されるシステムの小型化を図ることができる。

#### 【0027】

**【発明の効果】**

本発明の第1の半導体装置は、第1の半導体チップの一部の信号線から出力する第1レベルの信号を第1レベルとは異なる第2レベルの信号に変換する第2の半導体チップを内蔵しているため、外部の装置が第2レベルの信号を要求する場合であっても回路規模の増加を伴うことなく、問題無く使用することができる。

**【0028】**

本発明の第2の半導体装置は、第1の半導体チップの一部の信号線から出力する第1レベルの信号を第1レベルよりも高い第2レベルの信号に変換する第2の半導体チップを内蔵しているため、外部の装置が第2レベルの信号を要求する場合であっても回路規模の増加を伴うことなく、問題無く使用することができる。

**【0029】**

本発明の異なるレベルの信号の処理システムは、上記第1又は第2の半導体装置を使用することで、第2の装置が第1の装置が出力する第1レベルの信号とは異なる第2レベルの信号を要求する場合であっても回路規模の増加を伴うことなく、システム全体の小型化を図ることができる。

**【図面の簡単な説明】**

**【図1】** スマートカードと、スマートカード用のリーダ／ライタ装置の間でやり取りされる信号を示す図である。

**【図2】** リーダ／ライタ装置に備えられるリーダ／ライタ・コントローラの構成を示す図である。

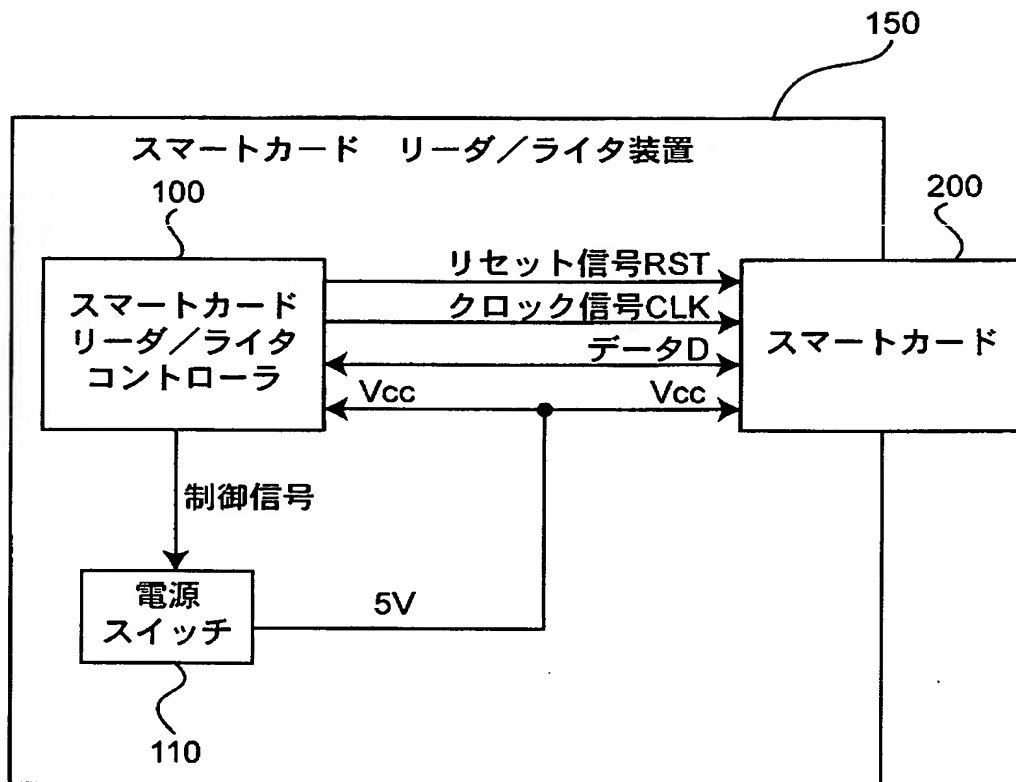
**【図3】** 信号レベルの変換を行う半導体チップの内部構成を示す図である。

**【図4】** (a)と(b)は、図3に示した半導体チップの内部構成要素であるバッファ回路とトライステート回路の具体的な構成を示す図である。

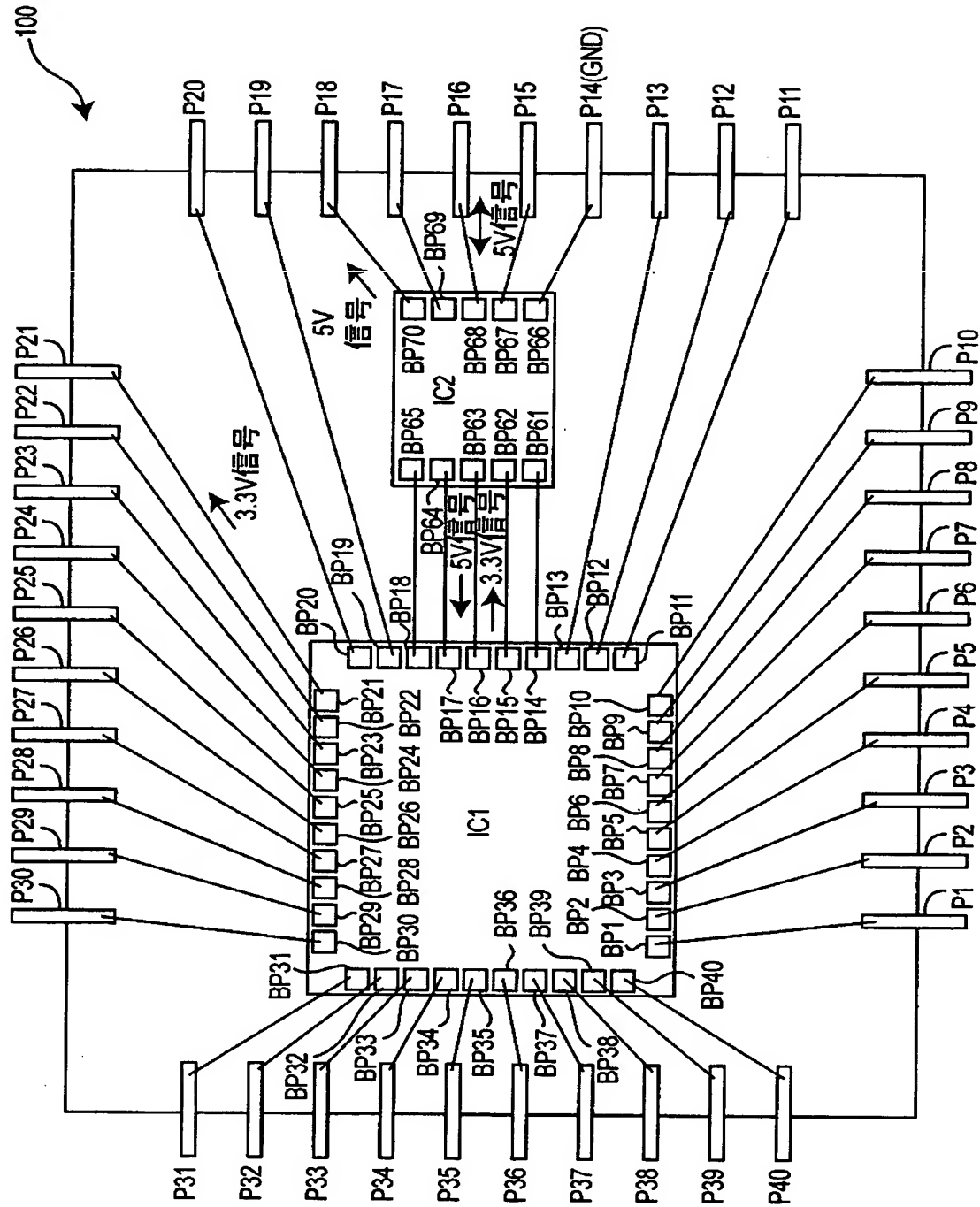
**【符号の説明】** 100 リーダ／ライタ・コントローラ 100、110 電源スイッチ、200 スマートカード、BP1～BP40, BP61～BP70 ボンディングパッド、P1～P40 リードピン、IC1, IC2 半導体チップ。

【書類名】 図面

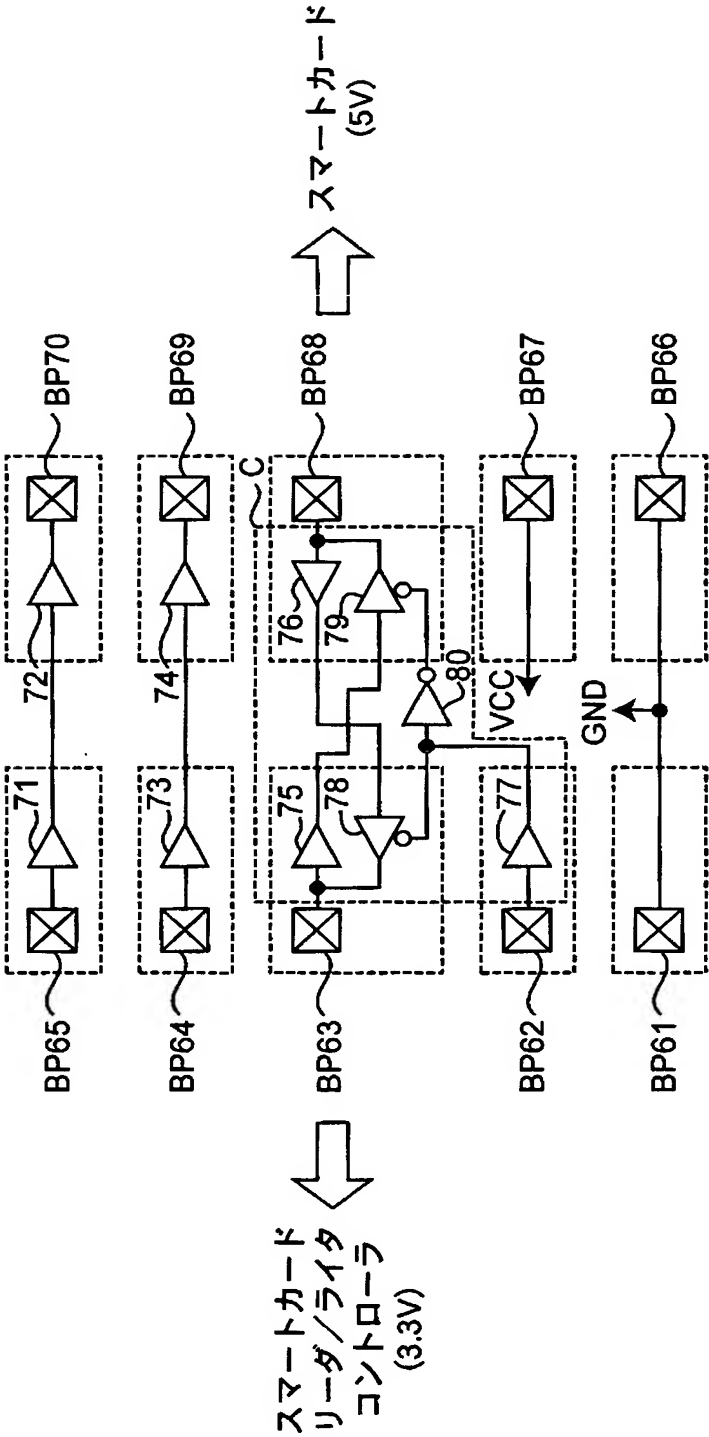
【図 1】



【図2】

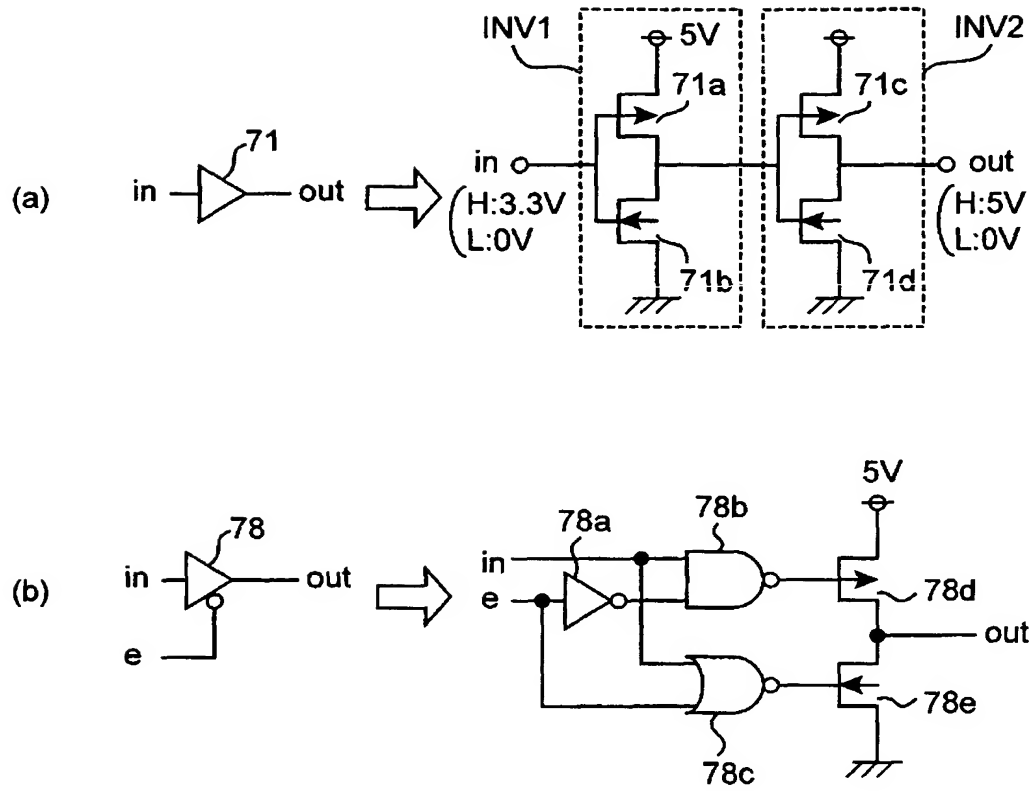


【図 3】





【図 4】



【書類名】 要約書

【要約】

【課題】 低いレベルの入出力信号を使用するチップの特性（低消費電力型であることや小型であるといった特性）を無駄にすることなく、異なるレベルの信号の入出力に対応し得る構造の半導体装置を提供する。

【解決手段】 複数の半導体チップを1つにパッケージした半導体装置であって、少なくとも、第1レベルの信号を出力する複数の第1ボンディングパッドを備える第1の半導体チップと、上記複数の第1ボンディングパッドの内一部の第1ボンディングパッドに電氣的に接続される第2ボンディングパッド、及び、上記一部の第1ボンディングパッドから上記第2ボンディングパッドに出力される信号のレベルを第1レベルとは異なる第2レベルに変更して出力する第3ボンディングパッドを備える第2の半導体チップとを含むことを特徴とする。

【選択図】 図1

特願 2002-261311

出願人履歴情報

識別番号

[000006747]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都大田区中馬込1丁目3番6号  
氏 名 株式会社リコー
2. 変更年月日 2002年 5月17日  
[変更理由] 住所変更  
住 所 東京都大田区中馬込1丁目3番6号  
氏 名 株式会社リコー